



Docket No.: 492322014700

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasuo SEGAWA et al.

Application No.: 10/705,223

Group Art Unit: 2811

Filed: November 12, 2003

Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

Commissioner for Patents
2011 South Clark Place
Room 1B03, Crystal Plaza 2
Arlington, Virginia, 22202

Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-326412	November 11, 2002

In support of this claim, a certified copy of the original foreign application is filed herewith.

Dated: April 26, 2004

Respectfully submitted,

By 

Barry E. Bretschneider

Registration No.: 28,055

MORRISON & FOERSTER LLP

1650 Tysons Blvd, Suite 300

McLean, Virginia 22102

(703) 760-7743

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 1 日
Date of Application:

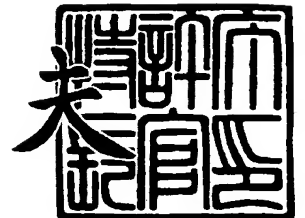
出 願 番 号 特 願 2 0 0 2 - 3 2 6 4 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 6 4 1 2]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 6 6 1 2

【書類名】 特許願

【整理番号】 KHB1020040

【提出日】 平成14年11月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
G02F 1/133

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 瀬川 泰生

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 青田 雅明

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 山田 努

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに隣接して形成され、この薄膜トランジスタを通して供給される電圧を保持する保持容量と、を具備する半導体装置において、

前記薄膜トランジスタのゲート電極が絶縁層を介して容量結合した第 1 の半導体層と前記保持容量の保持容量電極が絶縁層を介して容量結合した第 2 の半導体層とを互いに分離する共に、前記第 1 及び第 2 の半導体層をメタル配線で接続して成ることを特徴とする半導体装置。

【請求項 2】 前記メタル配線が画素電極に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記保持容量電極と前記ゲート電極とが並行して配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 の半導体層が前記ゲート電極に対して 2 箇所で交差するように対称に折り返されていることを特徴とする請求項 1, 2, 3 のいずれかに記載の半導体装置。

【請求項 5】 前記薄膜トランジスタは p 型チャネル又は n 型チャネルを有することを特徴とする請求項 1, 2, 3 のいずれかに記載の半導体装置。

【請求項 6】 基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに隣接して形成され、この薄膜トランジスタを通して入力される電圧を保持する保持容量と、を具備する半導体装置の製造方法において、

前記基板上に互いに分離された第 1 及び第 2 の半導体層を隣接して形成する工程と、

前記第 1 及び第 2 の半導体層上に絶縁層を形成する工程と、

前記第 1 の半導体層上に前記絶縁層を介してゲート電極を、前記第 2 の半導体層上に前記絶縁層を介して保持容量電極を形成する工程と、

イオン注入により前記第 1 の半導体層内にソース領域及びドレイン領域を形成する工程と、

全面に層間絶縁膜を形成する工程と、

前記第 1 及び第 2 の半導体層上にそれぞれ第 1 及び第 2 のコンタクトホールを形成する工程と、

前記第 1 及び第 2 のコンタクトホールを介して前記第 1 及び第 2 の半導体層とを接続するメタル配線を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 7】 更に、全面に平坦化絶縁膜を形成する工程と、前記メタル配線上に第 3 のコンタクトホールを形成する工程と、前記第 3 のコンタクトホールを介して前記メタル配線と接続する画素電極を形成する工程と、を具備することを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに隣接して形成され、この薄膜トランジスタを通して供給される電圧を保持する保持容量と、を具備する半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

図 4 は従来例の液晶表示装置の構成図である。液晶パネル 1 0 0 は、 n 行 m 列マトリクスに配置された複数の画素を備え、各画素は、画素選択用薄膜トランジスタ T F T 1 0（以下、T F T 1 0 という。）、液晶 L C 及び保持容量 C s c から成っている。

【0 0 0 3】

T F T 1 0 のゲートには、行方向に延びたゲートライン 2 0 が接続され、そのドレインには、列方向に延びたデータライン 2 2 が接続されている。各行のゲートライン 2 0 には垂直ドライブ回路（Vドライブ回路）1 3 0 からゲート走査信号が順次供給され、これに応じて画素選択トランジスタが選択される。また、データライン 2 2 には水平ドライブ回路（Hドライブ回路）1 4 0 からのドレイン走査信号に応じて、ビデオ信号が供給され、T F T 1 0 を通して液晶 L C に印加

される。ここで、保持容量 C_{sc} はTFT10を通して供給されるビデオ信号を保持するために用いられる。

【0004】

図5は上記画素の平面図を示す。また、図6は図5におけるY-Y線に沿った断面図を示す。なお、図5は第1の基板100の裏面から見た平面図である。

この液晶表示装置は、ガラスなどの透明絶縁材料が用いられた第1の基板100と第2基板500との間に液晶200が挟んで貼り合わされて構成されている。

【0005】

画素において、TFT10の半導体層14（例えば、ポリシリコン層）は屈曲しており、行方向に直線的に延びるゲートライン20と2箇所で交差している。この2つの交差部分において半導体層14にはチャネル領域14cが構成される。また、ゲートライン20はいわゆるダブルゲートを構成する。

【0006】

ゲート電極とチャネル領域14cとの間にはゲート絶縁層66が形成されている。半導体層14のドレイン領域14dは層間絶縁膜68及びゲート絶縁層66に形成されたコンタクトホールC0を介して列方向に延びるデータライン22に接続される。

【0007】

そして、TFT10のソース領域14sは層間絶縁膜68及びゲート絶縁層66に形成されたコンタクトホールC1を介して、メタル配線40に接続されている。このメタル配線40は、データライン22と同じレイヤー（例えば、アルミニウム層）で層間絶縁膜68上に形成されている。さらに、このメタル配線40は、メタル配線40上に形成された平坦化絶縁膜72に設けられたコンタクトホールC2を介して上層の画素電極24に接続されている。

【0008】

また、保持容量ライン42は、ゲートライン20と同じレイヤー（例えば、モリブデン膜、クロム膜）で構成され、行方向に直線的に延び、半導体層14の一部とゲート絶縁層66を介して重畳されており、この重畳部分は保持容量 C_{sc} として構成されている。

【0 0 0 9】

なお、上述の液晶表示装置については例えば、以下の特許文献 1 に記載されている。

【0 0 1 0】

【特許文献 1】

特開平 1 - 1 2 9 2 3 4 号公報

【0 0 1 1】

【発明が解決しようとする課題】

しかしながら、上記の液晶表示装置の製造工程において、T F T 1 0 のゲート電極下のゲート絶縁層 6 6 が絶縁破壊や絶縁リーク不良が生じることがあった。その原因について以下で説明する。

【0 0 1 2】

図 7 は、液晶表示装置の製造工程を示す断面図であり、図 5 の Y - Y 線に沿った断面図に対応している。ゲートライン 2 0 及び保持容量ライン 4 2 の加工にはドライエッチングが用いられるが、その際にゲートライン 2 0 及び保持容量ライン 4 2 に静電気が蓄積される。また、その後ゲートライン 2 0 をマスクとして、半導体層 1 4 に砒素や燐のような N 型不純物をイオン注入してソース領域 1 4 s 及びドレイン領域 1 4 d を形成する際にも、チャージアップ現象が生じ、ゲートライン 2 0 及び保持容量ライン 4 2 に静電気が蓄積される。ゲートライン 2 0 及び保持容量ライン 4 2 は液晶パネル 1 0 0 を横断するように延在しているので、特に静電気を帯びやすい。

【0 0 1 3】

すると、ゲートライン 2 0 及び保持容量ライン 4 2 の電位は上昇し、これらと容量結合している半導体層 1 4 の電位も上昇する。この状態から、例えば保持容量ライン 4 2 が放電される。このような放電は、保持容量ライン 4 2 と近接した V ドライブ回路 1 3 0 のパターンとの間で起きやすい。すると、保持容量ライン 4 2 の電位が急激に低下し、これと容量結合している半導体層 1 4 の電位も急激に低下する。そして、ゲートライン 2 0 と半導体層 1 4 の間のゲート絶縁層 6 6 に大きな電位差が生じ、例えば図 7 中の A 点で、絶縁破壊か、絶縁リーク不良を

生じるに至る。このため、完成後の液晶表示装置で表示を行う際に、線欠陥や点欠陥という表示不良を生じていた。

【0014】

【課題を解決するための手段】

そこで、本発明は、図1に示すように、TFT10のゲート電極20がゲート絶縁層66を介して容量結合した第1の半導体層15と、保持容量C_{sc}の保持容量ライン42がゲート絶縁層66を介して容量結合した第2の半導体層16と、を互いに分離する共に、第1の半導体層15と第2の半導体層16をメタル配線40で接続したことを特徴とする。

【0015】

すなわち、従来例ではTFT10のゲート電極20及び保持容量ライン42の両方が1つの半導体層14に容量結合していたのに対して、本発明では、TFT10のゲート電極20は第1の半導体層15に、保持容量C_{sc}の保持容量ライン42は、第2の半導体層16に別々に容量結合するようにしたので、その結合でそれぞれの半導体層の電位が変化するため、ゲート絶縁層66に大きな電位差が発生せず、絶縁破壊や絶縁リークの発生が防止される。

【0016】

【発明の実施の形態】

次に本発明の実施形態について図面を参照しながら詳細に説明する。この実施形態の液晶表示装置は基本的には図4と同じ全体構成を成している。図1は液晶表示装置の画素の平面図を示す。また、図2は図1におけるX-X線に沿った断面図を示す。図1は第1の基板100の裏面から見た平面図である。図5及び図6と同一の構成部分については同一符号を付してその説明を省略する。

【0017】

TFT10の第1の半導体層15（例えば、ポリシリコン層）は、行方向に直線的に延びるゲートライン20と2箇所で交差するように折り返されている。この2つの交差部分において第1の半導体層15にはチャネル領域15cが構成される。また、ゲートライン20はいわゆるダブルゲートを構成する。ここで、第1の半導体層15は、図1中の折り返し線P-Pに対して左右対称となるように

折り返されている。

【0018】

ゲート電極とチャネル領域15cとの間にはゲート絶縁層66が形成されている。第1の半導体層15のドレイン領域15dは層間絶縁膜68及びゲート絶縁層66に形成されたコンタクトホールC0を介して列方向に延びるデータライン22に接続される。

【0019】

そして、TFT10のソース領域15sは層間絶縁膜68及びゲート絶縁層66に形成されたコンタクトホールC1を介して、メタル配線43に接続されている。このメタル配線43は、データライン22と同じレイヤー（例えば、アルミニウム層）で層間絶縁膜68上に形成されている。さらに、このメタル配線43は、メタル配線43上に形成された平坦化絶縁膜72に設けられたコンタクトホールC2を介して上層の画素電極24に接続されている。

【0020】

また、保持容量ライン42は、ゲートライン20と同じレイヤー（例えば、モリブデン膜、クロム膜）で構成され、行方向に直線的に延びている。そして、保持容量ライン42は、第1の半導体層15とは互いに分離された第2の半導体層16とゲート絶縁層66を介して重畳されており、この重畳部分は保持容量Cscとして構成されている。

【0021】

また、第2の半導体層16は、層間絶縁膜68及びゲート絶縁層66に形成されたコンタクトホールC3を介して、メタル配線43に接続されている。すなわち、第1の半導体層15と第2の半導体層16とは互いに分離されているが、メタル配線43によって接続されている。

【0022】

図3は、この液晶表示装置の製造工程を示す断面図である。この図は、図2のX-X線に沿った断面図に対応している。図1～図3を参照しながら、この液晶表示装置の製造方法について説明する。

【0023】

まず、第1の基板100上に、互いに分離された第1の半導体層15及び第2の半導体層16を隣接して形成する。この工程では、第1の基板100上に例えばアモルファス・シリコン層を形成し、これをレーザーアニールで多結晶化した後に、パターニングすることで形成される。

【0024】

次に、第1の半導体層15及び第2の半導体層16上に、例えばCVD法によりSiO₂層から成るゲート絶縁層66を形成する。そして、第1の半導体層15上にゲート絶縁層66を介してゲート電極20（ゲートライン）を、第2の半導体層16上にゲート絶縁層66を介して保持容量電極42（保持容量ライン）を形成する。この工程では、ゲート絶縁層66上にモリブデン膜あるいはクロム膜を形成し、これをドラエッチングして、ゲート電極20（ゲートライン）及び保持容量電極42（保持容量ライン）を形成する。

【0025】

次に、イオン注入により、第1の半導体層15内にソース領域15s及びドレイン領域15dを形成する。ここで、いわゆるLDD構造とする場合には、まずゲート電極20をマスクとしてイオン注入を行って低濃度のソース領域及びドレイン領域を形成し、その後、ゲート電極20の側壁にサイドウォールスペーサを形成して、ゲート電極20及びこのサイドウォールスペーサをマスクとしてイオン注入を行って高濃度のソース領域及びドレイン領域を形成する。

【0026】

上記ドライエッチング工程及びイオン注入工程で、ゲートライン20及び保持容量ライン42に静電気が蓄積されるが、本発明では、TFET10のゲート電極20は第1の半導体層15に、保持容量C_{sc}の保持容量ライン42は、第2の半導体層16に別々に容量結合するようにしたので、その結合でそれぞれの半導体層の電位が変化するため、ゲート絶縁層66に大きな電位差が発生せず、絶縁破壊や絶縁リークの発生が防止される。

【0027】

例えば、静電気によりゲートライン20及び保持容量ライン42の電位は上昇し、これらと容量結合している第1の半導体層15及び第2の半導体層16の電

位も上昇する。この状態から、保持容量ライン 42 が放電されたとする。すると、保持容量ライン 42 の電位が急激に低下し、これと容量結合している第 2 の半導体層 16 の電位も急激に低下する。

【0028】

しかしながら、第 1 の半導体層 15 は第 1 の半導体層 16 と分離されているので、第 1 の半導体層 16 の電位が低下することはない。したがって、ゲート絶縁層 66 に大きな電位差が発生せず、絶縁破壊や絶縁リークの発生が防止される。

【0029】

その後、全面に層間絶縁膜 68 を形成する。そして、第 1 の半導体層 15 及び第 2 の半導体層 16 上にそれぞれ第 1 のコンタクトホール C1 及び第 2 のコンタクトホール C2 を形成する。そして、これらのコンタクトホールを介して第 1 の半導体層 15 及び第 2 の半導体層 16 とを接続するメタル配線 43 を形成する。

【0030】

更に、全面に平坦化絶縁膜 73 を形成する。そして、メタル配線 43 上に第 3 のコンタクトホール C3 を形成し、この第 3 のコンタクトホール C3 を介してメタル配線 43 と接続する画素電極 24 を形成する。上記層間絶縁膜 68 の形成工程、コンタクトホールの形成工程においてもゲートライン 20 及び保持容量ライン 42 に静電気が蓄積されるが、上記と同様のメカニズムにより、ゲート絶縁層 66 の絶縁破壊や絶縁リークの発生が防止される。

【0031】

また上述のように、第 1 の半導体層 15 は図 1 中の折り返し線 P-P に対して左右対称となるように折り返されている。これは、電荷蓄積のバランスを取るためであり、これにより、更に効果的にゲート絶縁層 66 の絶縁破壊等を防止することができる。

【0032】

このように、ゲート絶縁層 66 の静電破壊が生じ易い工程は、ゲート電極形成時からコンタクトホール形成時までであり、具体的には、ゲート電極 20 形成時、イオン注入時、層間絶縁膜形成時、コンタクトホール形成時であるが、本発明はこれらの工程における静電気対策として有効である。

【0033】

また本実施形態では液晶表示装置を例にして説明したが、本発明はこれに限らず、薄膜トランジスタと、この薄膜トランジスタを通して供給される電圧を保持する保持容量を有する半導体装置に広く適用することができるものである。例えば、液晶表示装置の他に、駆動用薄膜トランジスタと保持容量を有する有機EL表示装置に適用することができる。

【0034】**【発明の効果】**

本発明によれば、薄膜トランジスタのゲート電極は第1の半導体層に、保持容量の保持容量電極は第2の半導体層に別々に容量結合するようにしたので、その結合でそれぞれの半導体層の電位が変化するため、ゲート絶縁層に大きな電位差が発生せず、絶縁破壊や絶縁リークの発生が防止される。

【図面の簡単な説明】**【図1】**

本発明の実施形態に係る液晶表示装置の一面素の平面構造を示す図である。

【図2】

図1のX-X線に沿った位置における断面構造を示す図である。

【図3】

本発明の実施形態に係る液晶表示装置の製造方法を説明する断面図である。

【図4】

従来例に係る液晶表示装置の構成図である。

【図5】

従来例に係る液晶表示相違の一面素の平面構造を示す図である。

【図6】

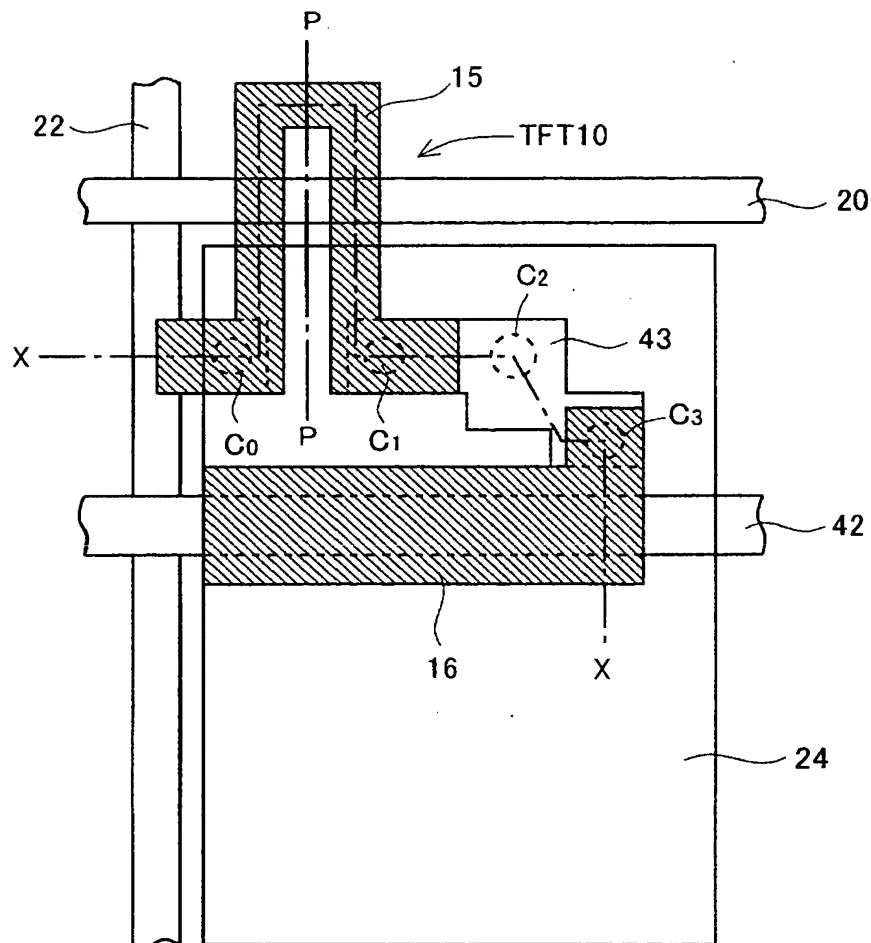
図5のY-Y線に沿った位置における断面構造を示す図である。

【図7】

従来例に係る液晶表示装置の製造方法を説明する断面図である。

【書類名】 図面

【図 1】



TFT10 : 薄膜トランジスタ

C0, C1, C2, C3 : コンタクトホール

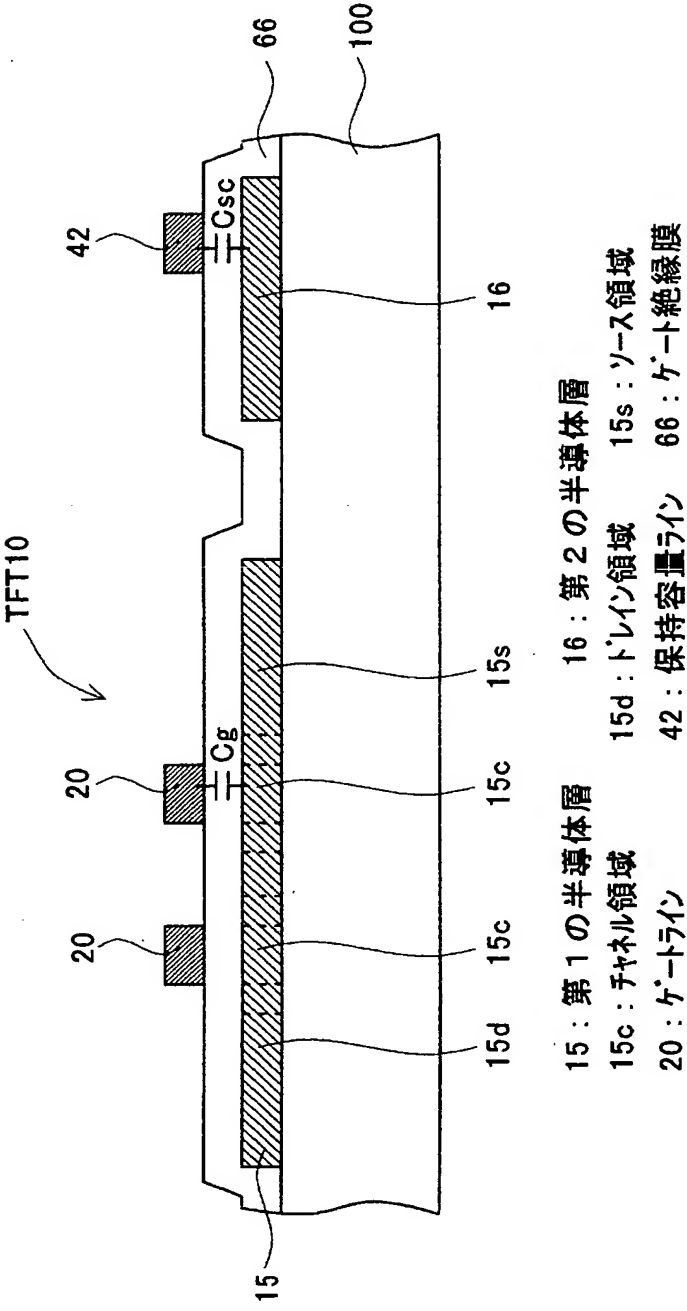
15 : 第 1 の半導体層 16 : 第 2 の半導体層

20 : ゲートライン 22 : データライン

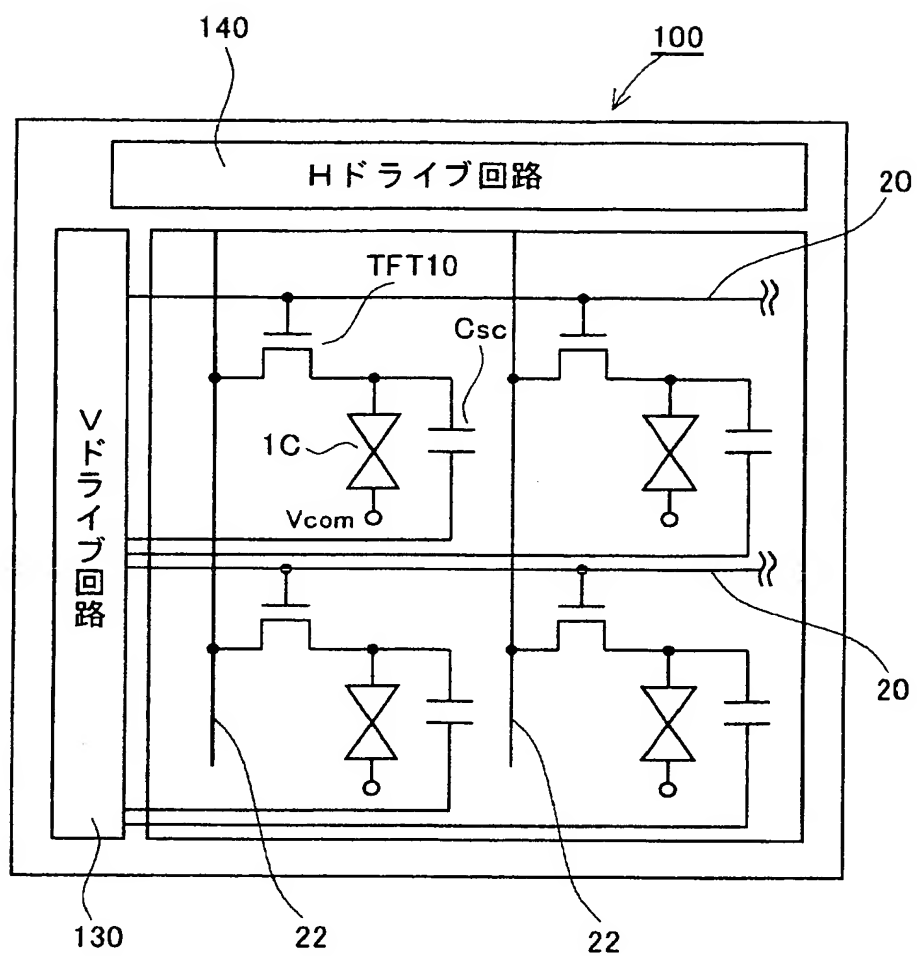
24 : 画素電極

42 : 保持容量ライン 43 : メタル配線

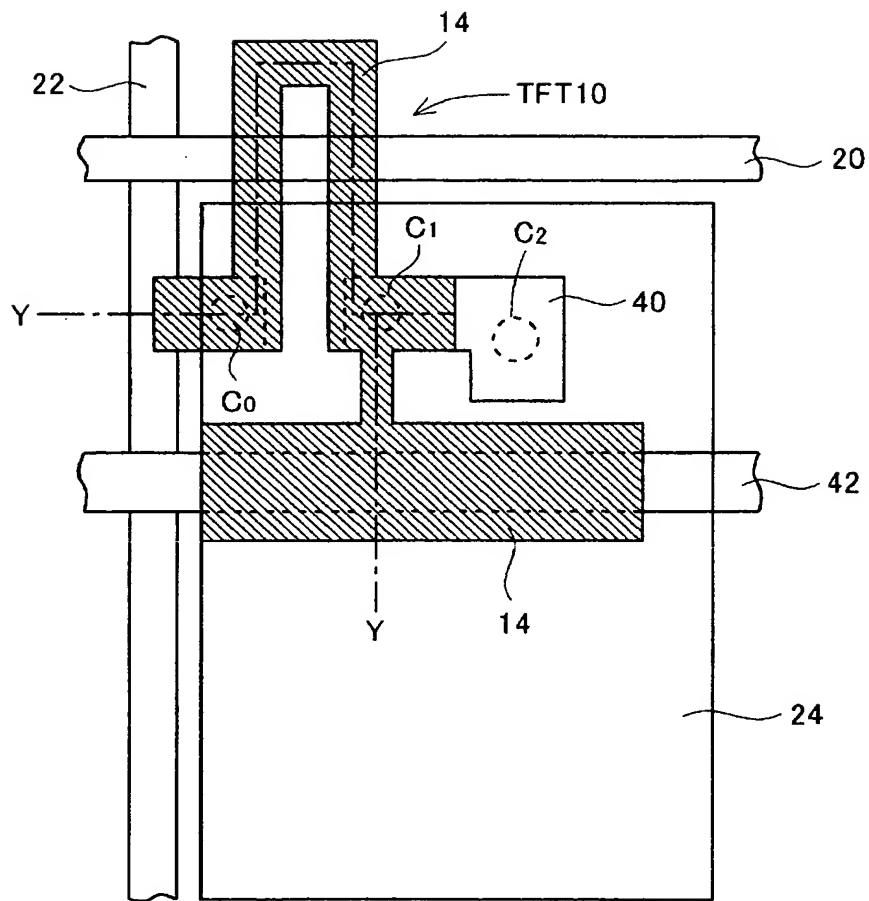
【図 3】



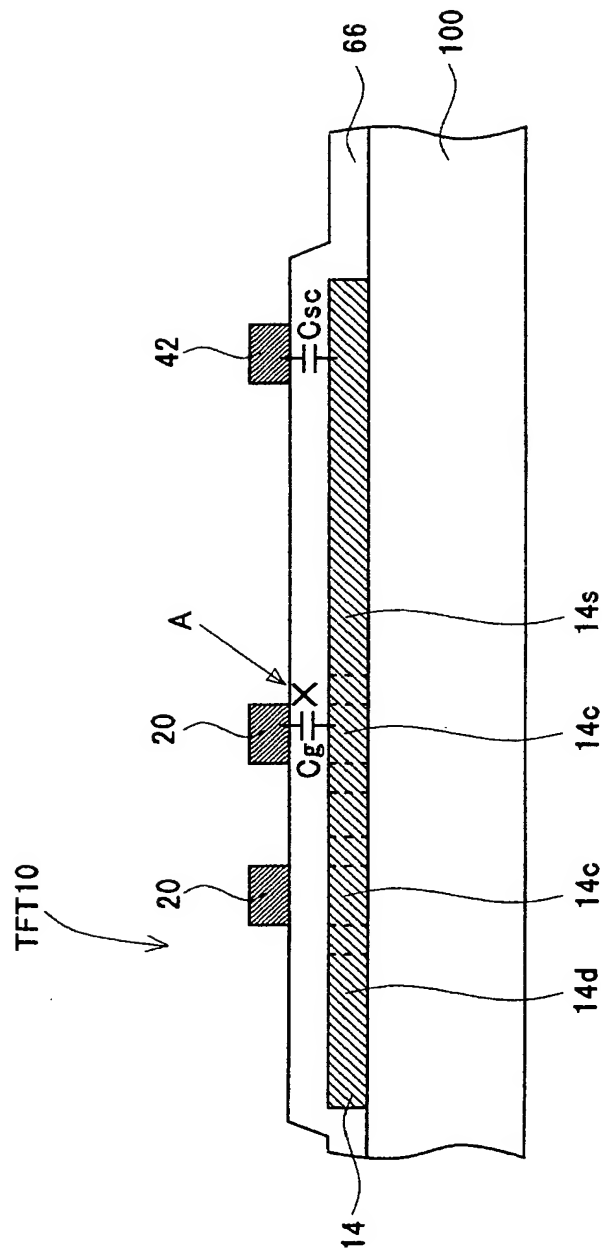
【図 4】



【図 5】



【図 7】



【書類名】 要約書

【要約】

【課題】 薄膜トランジスタのゲート絶縁層の絶縁破壊や絶縁リークの発生を防止する。

【解決手段】 TFT10のゲート電極20がゲート絶縁層66を介して容量結合した第1の半導体層15と、保持容量C_{sc}の保持容量ライン42がゲート絶縁層66を介して容量結合した第2の半導体層16と、を互いに分離する共に、第1の半導体層15と第2の半導体層16をメタル配線40で接続した。すなわち、TFT10のゲート電極20は第1の半導体層15に、保持容量C_{sc}の保持容量ライン42は、第2の半導体層16に別々に容量結合するようにしたので、その結合でそれぞれの半導体層の電位が変化するため、ゲート絶縁層66に大きな電位差が発生せず、絶縁破壊や絶縁リークの発生が防止される。

【選択図】 図1

特願 2002-326412

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住所

大阪府守口市京阪本通2丁目5番5号

氏名

三洋電機株式会社